



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07333854 A**(43) Date of publication of application: **22.12.95**

(51) Int. Cl.

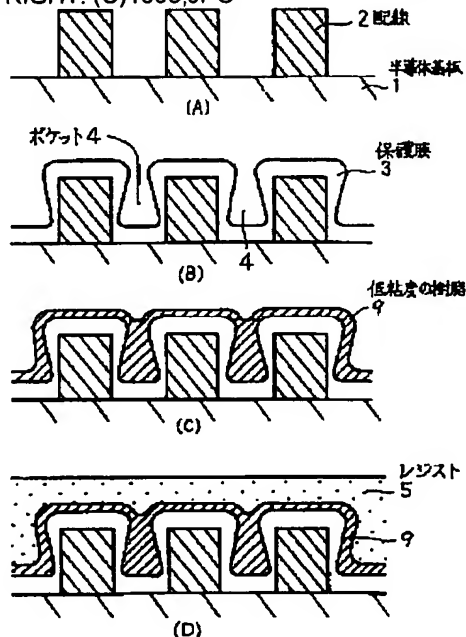
G03F 7/11**G03F 7/26****H01L 21/027**(21) Application number: **06125248**(71) Applicant: **FUJITSU LTD**(22) Date of filing: **07.06.94**(72) Inventor: **SAITO TOMIYASU****(54) PRODUCTION OF SEMICONDUCTOR DEVICE****(57) Abstract:**

PURPOSE: To form a resist with good flatness without being accompanied with cavity and blister even on a heavily rugged substrate by forming the resist to be used for forming viae in a protective film disposed to cover conductor lines as a two-layered structure composed of a resin having a low viscosity and a resin having a high viscosity.

CONSTITUTION: Wirings 2 having a large aspect ratio are patterned and formed in parallel on a semiconductor substrate 1 and are coated thereon with a protective film 3 by a CVD method. Pockets 4 exist in this film since the aspect ratio of the wirings 2 is large and the inter-wire distance is narrow. Next, the low-viscosity resin 9 is prep'd. by diluting a water-soluble resin with water to, for example, a viscosity 20cps. The protective layer is spin-coated with this resin and the coating is dried. Next, the resin is spin-boated with the resist 5 consisting of the same compsn. as heretofore and having a viscosity about 100cps. and is thereby flattened. The resists are heated and dried at 100°C. The generation of the cavity and blister by such formation is obviated

and, therefore, the resist 5 is formed with the good flatness. The yield of production is thus improved.

COPYRIGHT: (C)1995,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-333854

(43) 公開日 平成7年(1995)12月22日

(51) IntCl.⁴

G 0 3 F 7/11

7/26

H 0 1 L 21/027

識別記号

5 0 3

5 1 1

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/ 30

5 7 3

審査請求 未請求 請求項の数 2 O L (全 4 頁)

(21) 出願番号

特願平6-125248

(22) 出願日

平成6年(1994)6月7日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 齋藤 富康

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 井桁 貞一

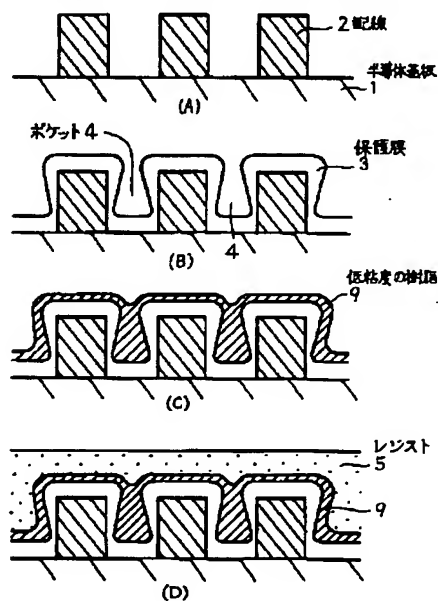
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 半導体装置の製造に関し、表面凹凸の激しい保護膜を精度よく加工することを目的とする。

【構成】 半導体基板上に形成されている導体線路を覆って設けられている保護膜にビアを形成するのに使用するレジストが、低粘度の樹脂と高粘度の樹脂との二層構造をとって形成することを特徴として半導体装置を構成する。

本発明に係るレジスト塗布工程を示す断面図



【特許請求の範囲】

【請求項1】 半導体基板上に形成されている導体線路を覆って設けられている保護膜にビアを形成するのに使用するレジストが、低粘度の樹脂と高粘度の樹脂との二層構造をとって形成されていることを特徴とする半導体装置の製造方法。

【請求項2】 前記低粘度の樹脂が水溶性樹脂、ホトレジスト、スピン・オン・ガラス、ポリイミドの内の何れか一つであることを特徴とする請求項1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体デバイスを覆う保護膜に収率よくビアを形成する半導体装置の製造方法に関する。

【0002】 大量の情報を高速に処理する必要から情報処理装置の主体を構成する半導体装置は集積化が進んでLSIやVLSIなどの集積回路が実用化されており、更にULSIが開発されつつある。

【0003】 ここで、これら集積回路における集積度の向上は単位素子の小形化により行なわれていることから、電極や配線のパターン幅は縮小してきており、最小線幅はサブミクロン(Sub-micron)に達しており、かかる微細な配線が微小な間隔でパターン形成されている。

【0004】

【従来の技術】 半導体集積回路の集積度が向上するのに従って配線は微細化すると共にアスペクト比は増加している。

【0005】 すなわち、トランジスタ素子を構成する電極面積や配線などは小形化しているものの、駆動に必要な電流は電極面積に比例して減少せず、一定の電流値が必要なことから、配線のアスペクト比は大きくなり、従って集積回路の製造に当たっては困難性が増加している。

【0006】 すなわち、集積度の増加と共に各トランジスタ素子相互間および入出力端子間を回路接続する配線は立体交差が必要となるが、配線のアスペクト比が大きくなるのに従ってこの上に形成される層間絶縁層の平坦化が困難となり、従ってパターン精度が低下してくる。

【0007】 図2は半導体基板1の上に微小なピッチで配列しているアスペクト比の大きな配線2の断面構造を示している。ここで、配線2は電気的なマイグレーションを防ぐために約1%の銅(Cu)を添加したアルミニウム(Al)からなり、スパッタなどの方法で半導体基板上に膜形成した後、写真蝕刻技術(ホトリソグラフィ)を用いてパターン形成が行なわれている。(以上同図A) 次に、図示してないが、半導体基板1の上に形成されている半導体素子と配線2を保護するために気相成長法(略称CVD法)を用いて燐硅酸ガラス(略称PSG)よりなる保護膜3を0.5～1μm程度の厚さに形成して

半導体集積回路を保護すると共に信頼性を向上している。

【0008】 ここで、従来の集積度の低い集積回路の場合は配線2のアスペクト比が小さく、また、配線2のピッチが大きいことから、比較的平坦性が保たれていたが、このように配線2のアスペクト比が大で且つピッチが小さい場合は配線2の間にポケット(Pocket)4が生じ易い。(以上同図B)

次に、この配線2を外部に取り出すために、配線2の上にボンディングパッドを設けるが、そのためには保護膜3の特定位置にビア(Via)を形成する必要がある。

【0009】 そこで、半導体基板1の上にスピナを用いてレジスト5を被覆して基板面の平坦化を行なう。ここで、このように基板面の凹凸が激しく、また、次のエッチング工程で下地を十分に保護するためにはレジスト5を厚く塗布する必要がある。(以上同図C)

次に、レジスト5の溶剤を乾燥させるために100～120℃の加熱(バーク)を行なうが、その際に空洞6や膨れ7が生じ易い。(以上同図D)

【0010】

【発明が解決しようとする課題】 半導体集積回路の集積度が向上し、配線幅が縮小してアスペクト比が大となり、また、配線ピッチが狭くなるに従って基板1の凹凸は激しくなっており、従って写真蝕刻技術を使用して精度よいパターン形成を行なうためには粘度の高いレジストを被覆して基板面を保護すると共に平坦化する必要がある。

【0011】 然し、粘度の高いレジストを使用すると、レジストに空洞や膨れが生じ易い、そこで、空洞や膨れを伴わないレジストの形成を行なうことが課題である。

【0012】

【課題を解決するための手段】 上記の課題は半導体基板上に形成されている導体線路を覆って設けられている保護膜にビアを形成するのに使用するレジストが、低粘度の樹脂と高粘度の樹脂との二層構造をとって形成することにより解決することができる。

【0013】

【作用】 ビア形成のためのレジストの乾燥工程においてレジストに空洞や膨れを生ずる理由は配線間のポケットがレジストにより完全に埋もれておらず、空隙が存在し、加熱により空気が膨張するためである。

【0014】 そこで、この空隙を無くするために本発明においてはレジスト塗布工程をポケット埋め込み工程と平坦化工程とに二分するものである。ここで、半導体装置の製造工程においてはビアを形成し、保護膜上にボンディングパッドをパターン形成しただけにしたい場合と、信頼性確保の観点からポケットを総て絶縁樹脂で埋めたい場合とがある。

【0015】 そこで、前者の場合は低粘度のレジストとして水溶性樹脂がホトレジストを用いて容易に除去でき

3

るようにし、また、後者の場合はシリコン・オン・ガラスかポリイミドのように絶縁性と耐熱性の優れた樹脂を使用するものである。

【0016】なお、使用する樹脂は感光性を有するものを使用すると工程短縮の点から有利である。

【0017】

【実施例】

実施例1：（ビア形成後に樹脂を除去する場合、図1関連）

Siよりなる半導体基板1の上にアスペクト比の大きな配線2が並列にパターン形成されており（以上図1A）、この上にCVD法により約1 μ mの厚さでPSGよりなる保護膜3が被覆されているが、配線2のアスペクト比が大きく、また線間距離が狭いことからポケット4が存在している。（以上同図B）

次に、従来はこの上に粘度が約100 cps のレジストをスピンコートしていたが、この代わりに水溶性樹脂（品名TPF、東京応化）を水で希釈して粘度を20 cpsとして低粘度の樹脂9を作り、これをスピンコートし、80℃で乾燥した。（以上同図C）

次に、従来と同一組成で粘度が約100 cps のレジスト5をスピンコートして平坦化し、100℃で加熱し乾燥したが、空洞や膨れは発生しなかった。

【0018】次に、紫外線の選択露光を行なった後、現像してビア形成位置のレジスト5を除去した後、反応性イオンエッチング装置（略称RIE装置）にセットしてドライエッチングを行い、水溶性樹脂層と保護膜3を開口させた。

【0019】次に、溶剤を用いてレジスト5を、また、水洗洗浄により水溶性樹脂層を除いた後、再び、レジストを被覆し、薄膜形成技術と写真蝕刻技術を用いてPSGよりなる保護膜3の上にビアを伴うボンディングパッドを形成した。

【0020】なお、ポケット4を埋める樹脂として水溶性樹脂の代わりに低粘度のレジストを使用しても結果は同様である。

実施例2：（ビア形成後に樹脂を残す場合、図1関連）
実施例1において、低粘度樹脂の形成材料としてポリア

4

ミック酸を使用し、N-メチル-2ピロリドン希釈剤として20 cpsの粘度に調整してスピンコートを行い、乾燥して希釈剤を除去させた後、200℃に加熱してキュアを行ってポリイミドとした。（以上同図C）

以下、実施例1と同様にしてこの上にレジスト5を被覆して平坦化し、100℃で加熱し乾燥したが、空洞や膨れは発生しなかった。

【0021】次に、実施例1と同様にしてドライエッチングを行い、ポリイミド層と保護膜3を開口させた後、レジスト5を除去し、このポリイミド層の上に薄膜形成技術と写真蝕刻技術を用いてビアを伴うボンディングパッドを形成した。

【0022】なお、ポケット4を埋める樹脂としてポリイミドの代わりにスピン・オン・ガラス（略称SOG）を使用しても結果は同様である。すなわち、シリコンアルコキシドのような硅素化合物にアルコールを希釈剤として粘度調整を行い、スピンコートした後、加熱し脱水縮合させてガラスとしても結果は同様である。

【0023】

【発明の効果】本発明の実施により凹凸の激しい基板に対しても空洞や膨れを伴うことなく平坦性よくレジストを形成することができ、これにより製造歩留りの向上が可能となる。

【図面の簡単な説明】

【図1】 本発明に係るレジスト塗布工程を示す断面図である。

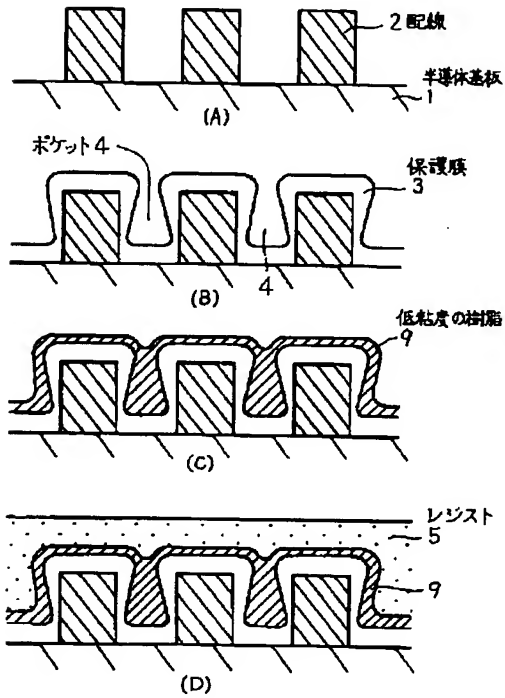
【図2】 従来のレジスト塗布工程を示す断面図である。

【符号の説明】

- | | |
|---|--------|
| 1 | 半導体基板 |
| 2 | 配線 |
| 3 | 保護膜 |
| 4 | ポケット |
| 5 | レジスト |
| 6 | 空洞 |
| 7 | 膨れ |
| 9 | 低粘度の樹脂 |

【図1】

本発明に係るレジスト塗布工程を示す断面図



【図2】

従来のレジスト塗布工程を示す断面図

